

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-265164

(43)Date of publication of application : 28.09.1999

(51)Int.Cl.

G09G 3/28

(21)Application number : 10-068216 (71)Applicant : FUJITSU LTD

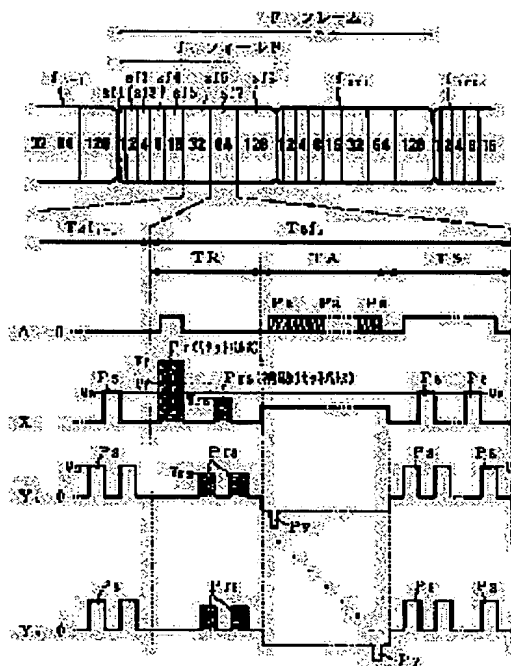
(22)Date of filing : 18.03.1998 (72)Inventor : SAKIDA KOICHI

## (54) DRIVING METHOD FOR AC TYPE PDP

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the reliability of addressing by bringing an entire picture uniformly close to a non-charging state.

**SOLUTION:** In this method, before addressing for forming a charging distribution corresponding to display contents, an AC type plasma display panel(PDP) is driven for commonly impressing a reset pulse  $Pr$  of a peak value  $V_r$  exceeding a discharging start voltage  $V_f$  to all cells for erasing an entire picture by generating self erasing discharging. In this case, auxiliary reset pulses  $Prs$  more than one having a peak value  $V_{rs}$  lower than that of the discharging start voltage  $V_f$  and a polarity equal with a wall voltage due to a residual charge are impressed following the impression of the reset pulse  $Pr$  and then, addressing is performed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other

than the examiner's decision of rejection  
or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-265164

(43) 公開日 平成11年(1999) 9月28日

(51) Int.Cl.<sup>6</sup>

G 0 9 G 3/28

識別記号

F I

G 0 9 G 3/28

H

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21) 出願番号 特願平10-68216

(22) 出願日 平成10年(1998) 3月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4丁目 1番  
1号

(72) 発明者 崎田 康一

神奈川県川崎市中原区上小田中 4丁目 1番  
1号 富士通株式会社内

(74) 代理人 弁理士 久保 幸雄

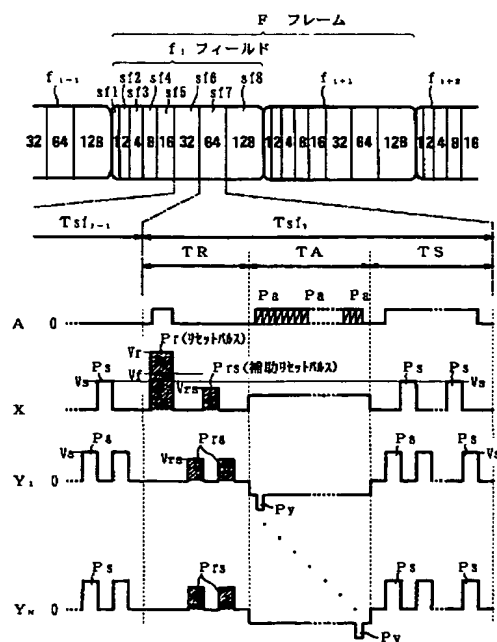
(54) 【発明の名称】 AC型PDPの駆動方法

(57) 【要約】

【課題】画面全体を一様に無帯電状態に近づけ、アドレッシングの信頼性を高めることを目的とする。

【解決手段】表示内容に応じた帯電分布を形成するアドレッシングに先立って、自己消去放電を生じさせて全面消去を行うために、放電開始電圧 $V_f$ を越える波高値 $V_r$ のリセットパルス $P_r$ を全てのセルに共通に印加するAC型PDPの駆動方法において、リセットパルス $P_r$ の印加に続けて、波高値 $V_{rs}$ が放電開始電圧 $V_f$ より低く極性が残留電荷による壁電圧と同一である1以上の補助リセットパルス $P_{rs}$ を印加し、その後にアドレッシングを行うようにする。

本発明に係るフィールド構成及び駆動電圧波形を示す図



## 【特許請求の範囲】

【請求項1】表示内容に応じた帯電分布を形成するアドレッシングに先立って、自己消去放電を生じさせて全面消去を行うために、放電開始電圧を越える波高値のリセットパルスを実のセルに共通に印加するAC型PDPの駆動方法であって、

前記リセットパルスの印加に続けて、波高値が放電開始電圧より低く極性が残留電荷による壁電圧と同一である1以上の補助リセットパルスを印加し、その後にアドレッシングを行うことを特徴とするAC型PDPの駆動方法。

【請求項2】アドレッシングに続けて、波高値が放電開始電圧より低く且つ前記補助リセットパルスより高い点灯維持パルスを周期的に全てのセルに共通に印加する請求項1記載のAC型PDPの駆動方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、AC型プラズマディスプレイパネル（Plasma Display Panel：PDP）の駆動方法に関する。

【0002】PDPは、カラー表示の実用化を機に大画面のテレビジョン表示デバイスとして普及しつつある。そして、用途が広がるにつれて、駆動の信頼性に対する要求が厳しくなっている。

【0003】AC型PDPは、電極を誘電体で被覆することにより構造的にメモリ機能を有するように構成されている。AC型PDPによる表示に際しては、点灯（発光）すべきセルのみが帯電した状態を形成するライン順次のアドレッシングを行い、その後に全てのセルに対して一斉に交番極性の点灯維持電圧 $V_s$ を印加する。点灯維持電圧 $V_s$ は（1）式を満たす。

$$【0004】V_f - V_w < V_s < V_f \quad \dots (1)$$

$V_f$ ：放電開始電圧

$V_w$ ：壁電圧

壁電荷の存在するセルでは、壁電圧 $V_w$ が点灯維持電圧 $V_s$ に重畳するので、セルに加わるセル電圧（実効電圧ともいう） $V_c$ が放電開始電圧 $V_f$ を越えて放電が生じる。点灯維持電圧 $V_s$ の印加周期を短くすれば、見かけの上で連続的な点灯状態が得られる。

## 【0005】

【従来の技術】上述のように壁電荷を利用して点灯状態を維持するAC型PDPによる時系列の画像（フレーム又はそれを分割したサブフレーム）の表示に際しては、ある画像の点灯維持の終了から次の画像のアドレッシングまでの期間に、表示の乱れを防止するために画面全体の帯電状態を均一化する初期化（リセット処理）を行う必要がある。

【0006】従来では、波高値が放電開始電圧より十分に高いリセットパルスを印加し、それによって無帯電状態を形成する初期化が行われていた。リセットパルスを

印加すると、そのパルスの立上がりで強い放電が起こり、点灯維持のときよりも大量の壁電荷が生じる。リセットパルスが立下がると、壁電圧がそのままセル電圧となって自己放電が起こり、壁電荷が消失する。

## 【0007】

【発明が解決しようとする課題】しかし、所定波高値のリセットパルスを印加することによって、以前の最終の点灯維持期間において点灯したセル（これを“前回点灯セル”と呼称する）と他のセル（これを“前回非点灯セル”と呼称する）とに係わらず放電が生じるものの、前回点灯セルと前回非点灯セルとは放電強度に差異がある。パルス印加時点の帯電状態が異なるからである。このため、画面全体を均一に初期化することができないという問題があった。この問題については公知文献「H.G. Slottow, “The Voltage Transfer Curve and Stability Criteria in the Theory of the AC Plasma Display,” IEEE Trans. On Electron Devices, vol. ED-24, no. 7 (1977) pp. 848-852」に記載されている壁電圧伝達曲線を用いて考察することができる。

【0008】図4は壁電圧伝達特性を示すグラフである。図中の曲線で示される壁電圧伝達特性とは、壁電荷の再形成におけるセル電圧と壁電圧の変化量との関係であり、これによって、どのくらいのセル電圧が加わればどのように壁電圧が推移するかを知ることができる。セル電圧が低いときには壁電圧の変化量は僅かであり、セル電圧がある程度以上であれば壁電圧は大きく変化する。さらにセル電圧が高ければ、壁電圧の変化量はセル電圧に近い値になる。

【0009】図5は従来の駆動方法の問題点を示す図である。図5（A）及び（B）において、左側には初期化過程の前後の印加電圧（実線）及び壁電圧（破線）の推移が示されている。壁電圧については、理解の便宜のために極性を反転させて描いてある。

【0010】図5（A）のように、前回点灯セルの場合には、リセットパルス $P_r$ を印加する時点で、点灯維持の可能なレベルの壁電圧 $a$ が生じている。波高値 $b$ のリセットパルス $P_r$ を印加すると、壁電圧 $a$ と波高値 $b$ とを合わせた電圧（ $a + b$ ）がセル電圧となる。このセル電圧は十分に高いので、図の右側の壁電圧伝達曲線が示すとおり、セル電圧とほぼ等しい量だけ壁電圧が変化する。したがって、変化後の壁電圧 $b'$ は波高値 $b$ に近い値になる。リセットパルス $P_r$ が立下がると、壁電圧 $b'$ による自己放電が起こる。このときの壁電圧の変化量 $c$ は壁電圧 $b'$ より低いので、壁電圧 $b'$ と変化量 $c$ との差分が残留壁電圧 $V_{w1}$ となる。ただし、残留壁電圧 $V_{w1}$ の値は比較的に小さい。

【0011】一方、図5（B）のように、前回非点灯セルの場合には、リセットパルス $P_r$ を印加する時点では、壁電圧がほぼ零である。波高値 $b$ のリセットパルス $P_r$ を印加すると、波高値 $b$ がセル電圧となる。このと

きの壁電圧の変化量 $d$ は波高値 $b$ より低く、上述の変化量 $c$ と同程度である。リセットパルス $Pr$ が立下がると、壁電圧 $d$ による自己放電が起こる。このときの壁電圧の変化量 $e$ は壁電圧 $d$ より低く、壁電圧 $d$ と変化量 $e$ との差分が残留壁電圧 $Vw2$ となる。この残留壁電圧 $Vw2$ は、前回点灯セルにおける残留壁電圧 $Vw1$ よりも高い。

【0012】このように前回点灯セルと前回非点灯セルとで残留壁電圧 $Vw1$ 、 $Vw2$ の値が異なると、アドレッシングの印加電圧マージンが狭くなり、アドレス放電不良の発生確率が大きくなる。リセットパルス $Pr$ の波高値 $b$ を高くすれば、前回非点灯セルの残留壁電圧 $Vw2$ を低くすることはできるが、駆動回路の耐圧などの制約があるので、波高値 $b$ の増大によって十分に残留壁電圧 $Vw2$ を低減することは難しい。

【0013】本発明は、画面全体を一様に無電圧状態に近づけ、アドレッシングの信頼性を高めることを目的としている。

【0014】

【課題を解決するための手段】本発明においては、自己消去の後に1回以上の放電を生じさせて残留電荷を消失させる。

【0015】請求項1の発明の方法は、表示内容に応じた帯電分布を形成するアドレッシングに先立って、自己消去放電を生じさせて全面消去を行うために、放電開始電圧を越える波高値のリセットパルスを全てのセルに共通に印加するAC型PDPの駆動方法であって、前記リセットパルスの印加に続けて、波高値が放電開始電圧より低く極性が残留電荷による壁電圧と同一である1以上の補助リセットパルスを印加し、その後アドレッシングを行うものである。

【0016】請求項2の発明の駆動方法は、アドレッシングに続けて、波高値が放電開始電圧より低く且つ前記補助リセットパルスより高い点灯維持パルスを周期的に全てのセルに共通に印加するものである。

【0017】

【発明の実施の形態】図1は本発明に係るPDP1の内部構造を示す分解斜視図である。例示のPDP1は3電極面放電構造のAC型カラーPDPであり、一対の基板構体10、20からなる。画面ESを構成する各セル（表示素子）において、主電極である一対のサステイン電極X、Yと第3の電極であるアドレス電極Aとが交差する。サステイン電極X、Yは、前面側のガラス基板11の内面に配列されており、それぞれが透明導電膜41と金属膜42とからなる。サステイン電極X、Yを被覆するように厚さ30～50 $\mu$ m程度の誘電体層17が設けられ、誘電体層17の表面には保護膜18としてMgOが被着されている。

【0018】アドレス電極Aは、背面側のガラス基板21の内面上に配列されており、厚さ10 $\mu$ m程度の誘電

体層24で覆われている。誘電体層24の上に平面視直線帯状の隔壁29が等間隔に配置され、これら隔壁29によって放電ガス空間30が行方向（画面の水平方向）にセル毎に区画されている。

【0019】カラー表示のためのR、G、Bの3色の蛍光体層28R、28G、28Bは、アドレス電極Aの上方及び隔壁29の側面を含めて背面側の内面を覆うように設けられている。表示の1ピクセルは行方向に並ぶ3個のサブピクセルで構成され、列方向（画面の垂直方向）に並ぶサブピクセルの発光色は同一である。隔壁29の配置パターンがストライプパターンであることから、放電ガス空間30のうちの各列に対応した部分は全ての行に跨がって列方向に連続している。

【0020】PDP1では、各セルの点灯／非点灯を設定するアドレッシングに、アドレス電極Aとサステイン電極Yとが用いられる。すなわち、N本（Nは行数）のサステイン電極Yに対して1本ずつ順にスキャンパルスを印加することによって画面走査が行われ、サステイン電極Yと表示内容に応じて選択されたアドレス電極Aとの間で生じる対向放電（アドレス放電）によって、行毎に所定の帯電状態が形成される。アドレッシングの後、サステイン電極Xとサステイン電極Yとに交互に所定波高値のサステインパルスを印加すると、アドレッシングの終了時点で適量の壁電荷が存在したセルにおいて、基板面に沿った面放電が生じる。面放電時に放電ガスの放つ紫外線によって蛍光体層28R、28G、28Bが局部的に励起されて発光する。

【0021】図2は本発明に係るフィールド構成及び印加電圧波形を示す図である。まず、駆動シーケンスの概要を説明し、その後本発明に特有のリセット過程を詳述する。

【0022】PDP1による表示においては、2値の点灯制御によって階調再現を行うために、入力画像である時系列の各フレームF（符号の添字は表示順位を表す）を例えば8個のサブフレームsf1、sf2、sf3、sf4、sf5、sf6、sf7、sf8に分割する。言い換えれば、フレームFを8個のサブフレームsf1～sf8の集合に置き換える。ただし、NTSC形式のテレビジョンのようにインタレース形式で走査された画像を再生する場合には、各フィールドを8分割する。これらサブフレームsf1～sf8における輝度の相対比率が1：2：4：8：16：32：64：128となるように重み付けをして各サブフレームsf1～sf8のサステインの発光回数を設定する。サブフレーム単位の点灯／非点灯の組合せでRGBの各色毎に256段階の輝度設定を行うことができるので、表示可能な色の数は $256^3$ となる。なお、サブフレームsf1～sf8を輝度の重みの順に表示する必要はない。例えば重みの大きいサブフレームsf8を表示期間の中間に配置するといった最適化を行うことができる。

【0023】各サブフレーム $s f 1 \sim s f 8$ に割り当てるサブフレーム期間 $T s f$ は、本発明を適用して画面全体の電荷を消去するリセット期間 $T R$ 、書込み形式でアドレッシングを行うアドレス期間 $T A$ 、及び階調レベルに応じた輝度を確保するために点灯状態を維持するサステイン期間 $T S$ からなる。各サブフレーム期間 $T s f$ において、リセット期間 $T R$ 及びアドレス期間 $T A$ の長さは輝度の重みに係わらず一定であるが、サステイン期間 $T S$ の長さは輝度の重みが大いほど長い。つまり、1つのフレーム $F$ に対応する8つのサブフレーム期間 $T s f$ の長さは互いに異なる。

【0024】さて、リセット期間 $T R$ においては、例えば全てのサステイン電極 $X$ に十分に波高値 $V r$ の高い正極性のリセットパルス $P r$ を一斉に印加し、全てのセルで強制的に放電を生じさせる。壁電荷の帯電によって壁電圧と印加電圧とが打ち消し合ってセル電圧が降下し、一旦放電が停止する。その後、リセットパルス $P r$ が立ち下ると、過大の壁電圧によるいわゆる自己消去放電が生じ、壁電荷が消失する。ただし、完全には消失せず若干の電荷が残留し、しかも前回点灯セルと前回非点灯セルとでは残留壁電圧に差異がある。

【0025】そこで、リセットパルス $P r$ に続けて、全てのサステイン電極 $Y$ に波高値 $V r s$ の正極性の補助リセットパルス $P r s$ を印加する。波高値 $V r s$ は面放電開始電圧 $V f$ より低い。サステイン電極 $Y$ に印加するので、残留壁電圧が波高値 $V r s$ を引き上げるようになる。したがって、残留壁電圧が所定値以上のセルで放電が生じて壁電荷が再形成される。ただし、このときの壁電圧変化量はセル電圧より低いので、再形成後の残留壁電圧は以前より低くなる。さらに続けて、サステイン電極 $X$ とサステイン電極 $Y$ とに交互に補助リセットパルス $P r s$ を印加すると、残留壁電圧はさらに零に近づく。もともとの残留壁電圧は低いので、放電は回を重ねる毎に弱まり、強まることはない。図の例では合計3個の補助リセットパルス $P r s$ が印加されているが、4個以上であってもよい。また、1個のみでも残留電荷の低減効果はある。

【0026】なお、リセットパルス $P r$ を印加するときには、サステイン電極 $X$ とアドレス電極 $A$ との間の無用の放電を防ぐために、アドレス電極 $A$ を正電位にバイアスしておく。

【0027】リセット処理の後、アドレス期間 $T A$ では先頭ラインから順に各サステイン電極 $Y$ にスキャンパルス $P y$ を印加し、これと並行して点灯させるセルに対応したアドレス電極 $A$ にアドレスパルス $P a$ を印加する。スキャンパルス $P y$ 及びアドレスパルス $P a$ の印加されたセルでは、アドレス放電が生じて所定量の壁電荷が形成される。

【0028】サステイン期間 $T S$ では、最初にサステイン電極 $Y$ に波高値 $V s$ の正極性のサステインパルス $P s$

を印加し、その後にサステイン電極 $X$ とサステイン電極 $Y$ とに交互にサステインパルス $P s$ を印加する。印加毎にアドレス期間 $T A$ に書込みの行われたセルで放電が生じ、みかけの上で連続した点灯状態が維持される。サステイン期間 $T S$ における最終のサステインパルス $P s$ はサステイン電極 $Y$ に印加される。

【0029】ここで、サステインパルス $P s$ の波高値 $V s$ は、補助リセットパルス $P r s$ の波高値 $V r s$ より高い。言い換えれば、補助リセットパルス $P r s$ の波高値 $V r s$ がサステインパルス $P s$ よりも低い値に設定されている( $V r s < V s < V f$ )。これにより、次に説明するように残留壁電圧の消去マージンが拡がっている。

【0030】図3は残留電荷消去における印加電圧と消去マージンとの関係を示す図である。電荷の再形成では壁電荷の極性が反転するので、壁電圧変化量 $\Delta V w$ は壁電圧 $V w$ の2倍となる( $\Delta V w = 2 V w$ )。また、セル電圧 $V c$ は印加電圧 $V r s$ と壁電圧 $V w$ との和である( $V c = V r s + V w$ )。これらの関係から壁電圧変化量 $\Delta V w$ は次式で表される。

$$【0031】\Delta V w = 2 (V c - V r s)$$

したがって、図3のように、傾きが2で横軸の切片が印加電圧 $V r s$ である直線が、補助リセットパルス $P r s$ の負荷線となる。図では第1及び第2の印加電圧 $V r s_1$ 、 $V r s_2$ に対応した2本の負荷線が記入されている。

【0032】各負荷線は、壁電圧伝達曲線と3箇所でお互い交わる。3個の交点のうち、セル電圧の低い方から選んだ2点の差が消去マージン $\Delta_1$ 、 $\Delta_2$ に相当する。図から明らかなように、低い印加電圧 $V r s_1$ の方が消去マージン $\Delta_1$ が大きい。補助リセットパルス $P r s$ は壁電圧の消去を目的とするパルスであるので、その波高値 $V r s$ を低く設定した方がより多量の残留壁電荷を消去することができる。

【0033】

【発明の効果】請求項1又は請求項2の発明によれば、画面全体を一樣に無帯電状態に近づけ、アドレッシングの信頼性を高めることができる。

【0034】請求項2の発明によれば、消去可能な壁電圧の範囲を拡げることができる。

【図面の簡単な説明】

【図1】本発明に係るPDPの内部構造を示す分解斜視図である。

【図2】本発明に係るフィールド構成及び駆動電圧波形を示す図である。

【図3】残留電荷消去における印加電圧と消去マージンとの関係を示す図である。

【図4】壁電圧伝達特性を示すグラフである。

【図5】従来の駆動方法の問題点を示す図である。

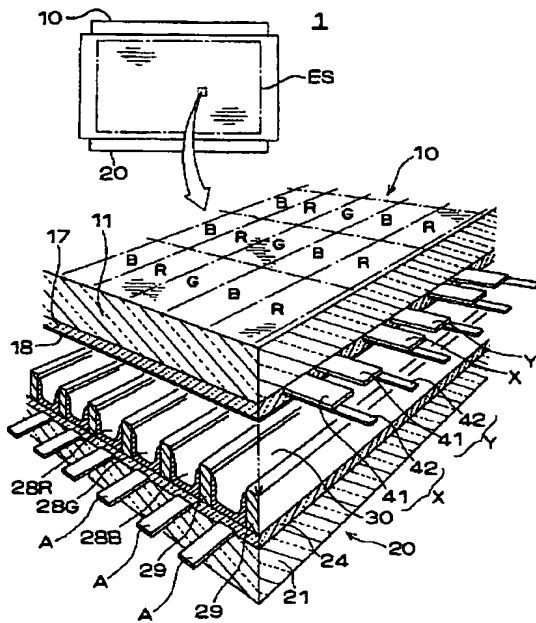
【符号の説明】

1 PDP  
 TR リセット期間  
 TA アドレス期間  
 TS サステイン期間  
 Pr リセットパルス

Prs 補助リセットパルス  
 Ps サステインパルス (点灯維持パルス)  
 Vs 波高値 (点灯維持パルスの波高値)  
 Vf 放電開始電圧

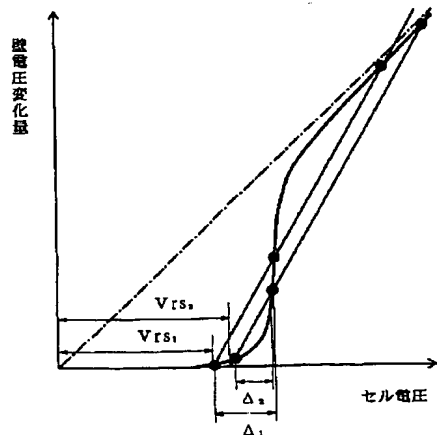
【図1】

本発明に係るPDPの内部構造を示す分解斜視図



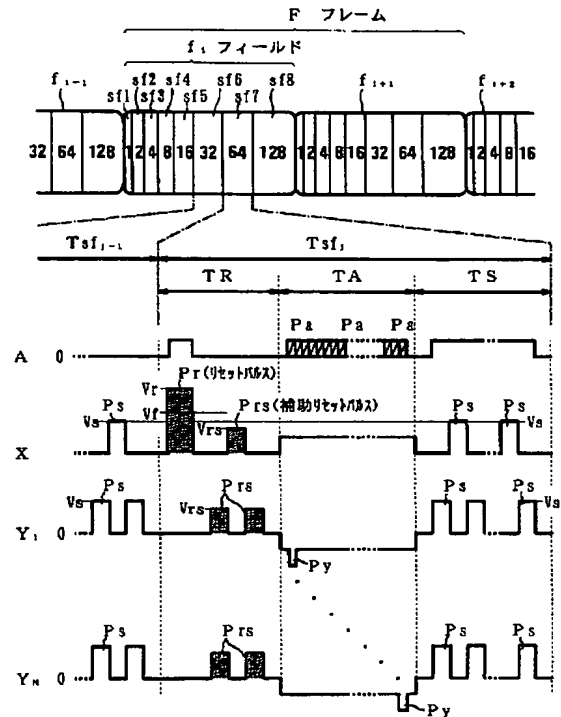
【図3】

残留電荷消去における  
 駆動電圧と消去マージンとの関係を示す図



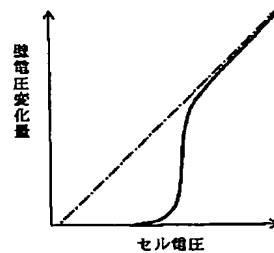
【図2】

本発明に係るフィールド構成及び駆動電圧波形を示す図



【図4】

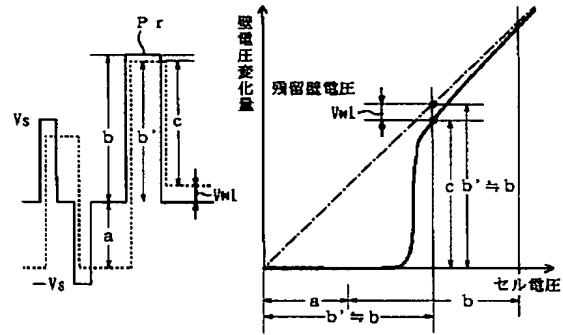
駆動電圧伝達特性を示すグラフ



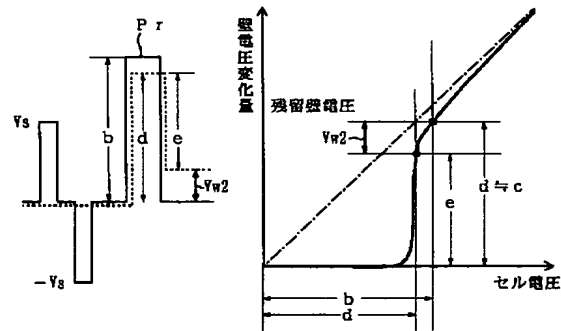
【図5】

従来の駆動方法の問題点を示す図

(A) 前回点灯セルの場合



(B) 前回非点灯セルの場合





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**